

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

## KOREAN PATENT ABSTRACTS (KR)

### PUBLICATION

(11) Publication No.: 2001-0009429      (43) Publication Date: 5 February 2001  
(21) Application No.: 10-1999-0027786      (22) Application Date: 9 July 1999  
(51) IPC Code: H01L 23/14

(71) Applicant: Samsung Electronics Co., Ltd.

(54) Title of the Invention:

Method of Fabricating Wafer-Level Scale Package Using  
Re-distributed Substrate

(57) Abstract:

Provided is a method of fabricating a chip scale package by adhering wafers or individual chips to a re-distributed substrate that is additionally manufactured. A conventional method of fabricating a wafer-level package is performed directly on the wafers, thus causing malfunctions of circuit elements and high capacitance caused by use of a thin insulating layer. Further, low performance of a stress-absorption layer deteriorates the durability of solder connection. In addition, since the conventional method is performed entirely on the wafer, even bad chips are processed to be the same as normal chips, thereby increasing fabrication costs. To solve these problems, the present invention suggests that the re-distributed substrate be manufactured to further include an insulating layer and a metal re-distributed layer, apart from wafers and to be adhered with the wafers. After the adhesion, the insulating layer and the metal re-distributed layer are removed to expose external connection pads, external connection terminals are formed, and the wafers are separated from one another to obtain individual packages. A buffer layer may be formed between each wafer and the re-distributed substrate and a portion of the re-distributed substrate may be removed to use its other portions as the external connection terminals. Also, it is possible to mount individual chips rather than the wafers on the re-distributed substrate. With the package fabrication method according to the present invention, it is possible to manufacture a wafer-level chip scale package while solving the problems of the prior art.

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. <sup>6</sup> H01L 23/14	(11) 공개번호 (43) 공개일자	특 2001-0009429 2001년 02월 05일
(21) 출원번호 (22) 출원일자	10-1999-0027765 1999년 07월 09일	
(71) 출원인	삼성전자 주식회사 경기 수원시 팔달구 매탄3동 416	윤증응
(72) 발명자	권용환 경기도 수원시 팔달구 영통동 신나무실주공아파트 508동 402호 강사운 서울특별시 서초구 잠원동 한신 2차 아파트 105동 804호	
(74) 대리인	윤동열, 이선희	

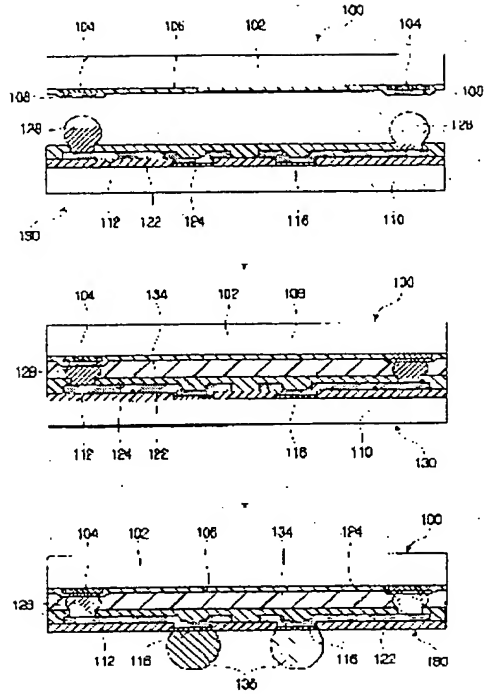
**심사청구 : 있음**

**(54) 재배선 기판을 사용한 웨이퍼 레벨 칩 스케일 패키지 제조방법**

**요약**

본 발명은 별도로 제조된 재배선 기판에 웨이퍼 또는 분리된 개별 칩들을 접착하여 칩 스케일 패키지를 제조하는 방법에 관한 것이다. 종래의 웨이퍼 레벨 칩 스케일 패키지의 제조방법은 웨이퍼 위에 직접 공정을 진행하기 때문에, 회로소자의 불량률도 초래하고, 얇은 절연층으로 인해 높은 커패시턴스를 가지며, 스트레스 흡수율이 취약하여 솔더 접합의 내구수명이 저하되는 문제가 있다. 또한, 웨이퍼 전체에 대하여 일괄적인 제조공정을 진행하기 때문에, 불량 칩에 대해서도 정상 칩들과 동일한 공정을 진행할 수밖에 없어서 제조단가가 상승한다. 본 발명은 이와 같은 문제들을 해결하기 위한 것으로서, 웨이퍼와 별도로 절연층과 금속 재배선층을 갖는 재배선 기판을 제조한 후, 재배선 기판에 웨이퍼를 접합한다. 접합 후 기판의 기초를 이루는 층을 제거하여 외부접속 패드를 노출시킨 후 외부접속 단자를 형성하고 개별 패키지로 분리한다. 웨이퍼와 재배선 기판 사이의 틈새에는 완충층을 형성하기도 하며, 기판 기초층을 일부만 제거하여 남아있는 부분을 외부접속 단자로 이용하기도 한다. 또한, 재배선 기판에 웨이퍼 대신 개별 칩들을 접합할 수도 있다. 본 발명에 따른 패키지 제조방법은 기존의 제조방법들이 안고 있는 문제점들을 해결하는 동시에, 웨이퍼 레벨 칩 스케일 패키지가 가지고 있는 장점을 그대로 살릴 수 있다.

도면



색인어

웨이퍼 레벨 칩 스케일 패키지, 웨이퍼, 재배선 기판, 솔더 볼, 완충층

명세서

도면의 간단한 설명

- 도 1은 웨이퍼를 개략적으로 나타내는 평면도이다.
- 도 2는 도 1의 "A" 부분을 확대하여 나타내는 평면도이다.
- 도 3은 웨이퍼 상태에서 제조가 완료된 칩 스케일 패키지를 나타내는 평면도이다.
- 도 4는 도 3에 도시된 패키지의 수직 구조를 보여주는 단면도이다.
- 도 5 내지 도 20은 본 발명의 제1 실시예에 따른 칩 스케일 패키지의 제조방법을 나타내는 도면들로서,
- 도 5 및 도 6은 웨이퍼의 처리 공정을 나타내는 단면도들이고,
- 도 7 내지 도 14는 재배선 기판의 제조 공정을 나타내는 단면도들이며,
- 도 15 내지 도 20은 웨이퍼와 재배선 기판을 접합하여 패키지를 제조하는 방법을 나타내는 단면도들이다.
- 도 21 내지 도 27은 본 발명의 제2 실시예에 따른 칩 스케일 패키지의 제조방법을 나타내는 단면도들이다.
- 도 28 내지 도 31은 본 발명의 제3 실시예에 따른 칩 스케일 패키지의 제조방법을 나타내는 단면도들이다.

<도면의 주요 부분에 대한 부호의 설명>

- 10, 100: 웨이퍼(wafer)
- 12, 102: 웨이퍼 기판(wafer substrate)
- 14: 분할영역(scribe line)
- 20, 150: 집적회로 칩(IC chip)
- 22, 104: 칩 패드(chip pad)

- 24, 106: 비활성막(passivation layer)
- 30, 140, 160: 칩 스케일 패키지(chip scale package)
- 32, 112, 124: 절연층(dielectric layer)
- 34, 120, 122: 금속층(metal layer)
- 38, 136: 솔더 볼(solder ball)
- 110: 기판 기초층(substrate base)
- 116: 외부접속 패드(terminal pad)
- 118, 170: 감광막(photoresist)
- 128: 접합 범프(interconnection bump)
- 130: 재배선 기판(redistribution substrate)
- 134, 156: 완충층(buffer layer)
- 136: 외부접속 단자(terminal)

#### 발명의 상세한 설명

##### 발명의 목적

##### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 제조방법에 관한 것으로서, 보다 구체적으로는 별도로 제조된 재배선 기판에 웨이퍼 또는 분리된 개별 칩들을 접착하여 칩 스케일 패키지를 제조하는 방법에 관한 것이다.

오늘날 반도체 산업의 주요 추세 중의 하나는 가급적 반도체 소자를 소형화하는 것이다. 소형화의 요구는 특히 반도체 칩 패키지 산업에 있어서 두드러지는데, 패키지(package)란 미세회로가 설계된 집적회로 칩을 실제 전자기기에 실장하여 사용할 수 있도록 플라스틱 수지나 세라믹으로 봉한 형태를 말한다. 종래의 전형적인 패키지는 그 안에 내장되는 집적회로 칩에 비하여 훨씬 큰 크기를 갖는다. 따라서, 패키지의 크기를 칩 크기 수준으로 축소시키는 것이 패키지 기술자들의 관심사 중의 하나였다. 이와 같은 배경에 의하여 최근에 개발된 새로운 패키지 유형이 바로 칩 스케일 패키지(또는 칩 사이즈 패키지라고도 한다)이다. 그 중에서 특히 웨이퍼 레벨 칩 스케일 패키지(wafer level chip scale package)는 개별 칩 단위로 패키지 조립을 진행하는 전형적인 패키지 제조방법과 달리 웨이퍼 상태에서 일괄적으로 패키지들을 조립·제조한다는 점에 특징이 있다.

도 1에 웨이퍼(10)가 개략적으로 도시되어 있다. 잘 알려져 있다시피, 웨이퍼(10)에는 수십개 또는 수백개의 집적회로 칩(20)들이 형성되며, 각각의 칩(20)들은 분할영역(14)에 의하여 서로 구분된다. 도 2에 도시된 바와 같이, 하나의 집적회로 칩(20)에는 전기신호의 입출력 단자 역할을 하는 칩 패드(22)들이 형성되어 있고, 칩 패드(22)를 제외한 나머지 부분은 비활성막(24)으로 덮여 있다. 칩 패드(22)와 비활성막(24)의 수직 구조는 도 4에 나타나 있다. 칩(20)을 구성하는 복잡한 집적회로는 실리콘과 같은 웨이퍼 기판(12)에 형성되지만, 도 4에는 생략하여 도시하지 않았다.

이상이 일반적인 웨이퍼의 구조이다. 웨이퍼 레벨 칩 스케일 패키지는 바로 이 웨이퍼(10) 위에 직접 수행하는 패키지 제조 공정을 통하여 제조된다. 도 3은 웨이퍼 위에 제조된 칩 스케일 패키지(30)를 나타내고 있다. 분할영역(14)을 따라 웨이퍼를 절단하면 날개로 분리된 패키지(30)들을 얻을 수 있다. 패키지에는 절연층(36)이 덮여 있는 한편, 솔더 볼(38)들이 규칙적으로 형성되어 있다. 솔더 볼(38)은 각각의 칩 패드(22)와 전기적으로 연결된다. 솔더 볼(38)과 칩 패드(22)의 수직 연결구조가 도 4에 나타나 있다.

도 4의 수직 구조를 보면, 칩 패드(22)와 솔더 볼(38)은 금속층(34)을 통하여 연결되며, 금속층(34)의 상하부에는 각각 절연층(32, 36)이 형성되어 있다. 이와 같은 구조를 갖는 웨이퍼 레벨 패키지(30)의 제조방법을 간략하면, 먼저 웨이퍼 위에 절연층(32)을 도포한 후 칩 패드(22)를 노출시킨다. 이어서 금속층(34)을 도포하여 원하는 배선 패턴을 형성한다. 이 때 금속층(34)은 칩 패드(22)와 연결되어 있다. 그리고 다시 절연층(36)을 도포한 후 솔더 볼(38)을 형성하고자 하는 부분의 절연층(36)을 제거한다. 제거된 부분에는 금속층(34)이 노출되며 이 부분에 솔더 볼(38)을 형성하여 금속층(34)과 연결되도록 한다. 이상과 같은 공정을 거쳐 도 3에 도시된 것과 같은 웨이퍼 상태의 패키지(30)들이 제조되며, 마지막으로 절단 공정을 거쳐 개별 패키지들이 얻어진다.

그런데 이와 같은 방식의 제조방법은 웨이퍼 위에 직접 여러가지 공정들을 진행하기 때문에 일반적으로 다음과 같은 문제점들을 안고 있다. 첫번째는 웨이퍼에 직접 절연물질을 도포한 후 고온에서 장시간 경화하여 절연층을 형성하기 때문에 고온 공정의 영향으로 인하여 회로소자의 불량을 야기할 수 있다는 점이다. 이러한 점을 고려해야 하기 때문에 절연층의 두께도 제약을 받으며, 절연층의 두께가 얇기 때문에 비교적 높은 커패시턴스를 가지게 된다.

두번째 문제점은 패키지 최종 제품이 회로기판에 실장되어 실제로 사용될 때 솔더 접합의 내구수명이 저하되는 문제이다. 이는 솔더 볼을 사용하는 패키지가 가지는 일반적인 문제점 중의 하나이며, 특히 웨이퍼 레벨 칩 스케일 패키지의 경우 열적 스트레스를 흡수·완화해야 할 중간층이 취약하기 때문에 발생한다.

세번째 문제점은 웨이퍼 전체에 대하여 일괄적으로 제조공정을 진행하기 때문에 웨이퍼 상태에서 이미

불량으로 판정된 칩에 대해서도 다른 정상 칩들과 마찬가지로 패키지 조립공정을 진행하여야 한다는 점이다. 이 점은 패키지 제조단계 상승의 중요한 요인 중의 하나로 작용한다.

#### 발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 기존의 웨이퍼 레벨 칩 스케일 패키지 제조방법이 안고 있는 여러가지 문제점들을 해결하는 동시에, 웨이퍼 레벨 칩 스케일 패키지가 가지고 있는 장점을 그대로 살릴 수 있는 새로운 칩 스케일 패키지의 제조방법을 제공하기 위한 것이다.

#### 발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명은 별도로 제조된 재배선 기판에 웨이퍼 또는 분리된 개별 칩들을 접착하여 칩 스케일 패키지를 제조하는 방법을 제공한다.

본 발명에 따른 칩 스케일 패키지의 제조방법은, (a) 웨이퍼 기판에 형성된 칩 패드들과, 상기 칩 패드들을 제외한 상기 웨이퍼 기판의 상부면을 덮고 있는 비활성막을 포함하며, 분할영역에 의하여 서로 구분되는 다수의 집적회로 칩들이 형성된 웨이퍼를 제공하는 단계와, (b) 기판 기초층 위에 제1 절연층과 다수의 외부접속 패드를 형성하고, 상기 각각의 외부접속 패드와 전기적으로 연결되도록 상기 제1 절연층과 상기 외부접속 패드 위에 금속 재배선층을 형성하며, 상기 금속 재배선층과 상기 제1 절연층 위에 제2 절연층과 다수의 접합 패드를 형성한 후, 상기 각각의 접합 패드에 접합 범프를 형성하는 것을 포함하는 재배선 기판의 제조 단계와, (c) 상기 각각의 접합 범프에 상기 칩 패드를 접합함으로써 상기 웨이퍼와 상기 재배선 기판을 접합하는 단계와, (d) 상기 재배선 기판에 상기 각각의 외부접속 패드와 전기적으로 연결되도록 외부접속 단자를 형성하는 단계 및 (e) 상기 웨이퍼의 분할영역을 따라 상기 웨이퍼를 절단하여 개별 패키지로 분리하는 단계를 포함한다.

상기 (d) 단계는 상기 재배선 기판의 기판 기초층을 전부 제거하여 상기 외부접속 패드를 외부로 노출시키고, 상기 외부접속 패드의 각각에 외부접속 단자를 형성하는 단계이거나, 또는 상기 재배선 기판의 외부접속 패드에 기판 기초층이 남도록 상기 기판 기초층을 일부 제거하는 단계이다. 또한, 상기 (c) 단계는 상기 웨이퍼와 상기 재배선 기판 사이의 접합 틈새에 완충층을 형성하는 단계를 더 포함할 수 있다. 상기 완충층은 상기 웨이퍼와 상기 재배선 기판이 접합된 후에 상기 접합 틈새에 점도가 있는 액상 중합체를 채우고 경화함으로써 형성되거나, 상기 웨이퍼와 상기 재배선 기판이 접합되기 전에 상기 접합 틈새에 탄성 중합체를 끼워 넣음으로써 형성된다.

본 발명에 따른 칩 스케일 패키지의 다른 제조방법은, (a) 웨이퍼 기판에 형성된 칩 패드들과, 상기 칩 패드들을 제외한 상기 웨이퍼 기판의 상부면을 덮고 있는 비활성막으로 이루어진 다수의 집적회로 칩들을 포함하는 웨이퍼를, 상기 집적회로 칩들을 구분하는 분할영역을 따라 절단하여 각각의 개별 칩으로 분리하는 단계와, (b) 기판 기초층 위에 제1 절연층과 다수의 외부접속 패드를 형성하고, 상기 각각의 외부접속 패드와 전기적으로 연결되도록 상기 제1 절연층과 상기 외부접속 패드 위에 금속 재배선층을 형성하며, 상기 금속 재배선층과 상기 제1 절연층 위에 제2 절연층과 다수의 접합 패드를 형성한 후, 상기 각각의 접합 패드에 접합 범프를 형성하는 것을 포함하는 재배선 기판의 제조 단계와, (c) 상기 각각의 접합 범프에 상기 칩 패드를 접합함으로써 상기 재배선 기판과 상기 개별 칩들을 접합하는 단계와, (d) 상기 각각의 개별 칩에 대응하여 상기 재배선 기판을 절단하는 단계 및 (e) 상기 재배선 기판에 상기 각각의 외부접속 패드와 전기적으로 연결되도록 외부접속 단자를 형성하는 단계를 포함한다.

이하, 첨부 도면을 참조하여 본 발명의 실시예를 보다 상세하게 설명하고자 한다. 도면을 통틀어 동일한 도면부호는 동일한 구성요소를 나타낸다.

본 발명의 제1 실시예에 따른 칩 스케일 패키지의 제조방법이 도 5 내지 도 20에 도시되어 있다. 특히, 도 5 및 도 6은 웨이퍼의 처리 공정을, 도 7 내지 도 14는 재배선 기판의 제조 공정을, 도 15 내지 도 20은 웨이퍼와 재배선 기판을 접합하여 패키지를 제조하는 공정을 각각 나타내고 있다.

웨이퍼 제조 공정(wafer fabrication process)을 통하여 제조된 웨이퍼(100)는 도 5와 같은 형태를 갖는다. 도 5에 도시된 바와 같이, 칩 패드(104)는 실리콘과 같은 웨이퍼 기판(102)에 형성되고 칩 패드(104)를 제외한 웨이퍼 기판(102)의 상부면에는 비활성막(106)이 덮여 있다. 도 5에는 나타나 있지 않지만, 웨이퍼는 분할영역(도 1 또는 도 2의 14)에 의하여 구분되는 수십, 수백개의 집적회로 칩(도 1 또는 도 2의 20)들을 포함하고 있다.

웨이퍼(100)의 칩 패드(104)에는 금속 기저층(108, UBM; Under Barrier Metal)을 형성한다(도 6 참조). 칩 패드(104)는 알루미늄(Al) 재질이며 금속 기저층(108)은 니켈(Ni), 구리(Cu), 금(Au)으로 이루어진다. 금속 기저층(108)은 접착층, 확산 장벽층, 도금 기초층의 기능을 하며, 경우에 따라 티타늄(Ti), 크롬(Cr), 티탄 텅스텐(TiW), 니켈바나듐(NiV) 등의 여러가지 금속들과 니켈(Ni), 구리(Cu), 금(Au) 등의 금속들이 조합되어 사용되기도 한다. 금속 기저층(108)은 무전해 도금으로 형성할 수 있으며, 칩 패드(104) 부분에만 선택적 도금이 가능하도록 도금 전에 염화팔라듐(PdCl<sub>2</sub>) 용액 또는 마연산염(zincate) 처리를 하여 칩 패드(104) 표면에 팔라듐(Pd) 또는 마연(Zn)을 입힌다.

한편, 웨이퍼 처리와는 별도로 재배선 기판을 준비한다. 재배선 기판의 제조공정은 도 7 내지 도 14에 나와 있다. 재배선 기판 제작의 첫 단계는 기판 기본층(110) 위에 절연층(112)을 입히는 것이다(도 7 참조). 기본층(110)으로는 후후 습식식각에 의하여 쉽게 제거가 가능한 구리(Cu)를 사용하는 것이 바람직하지만, 다른 금속이나 세라믹에 금속을 증착한 물질을 사용할 수도 있다. 절연층(112)을 이루는 물질은 폴리이미드(polyimide) 또는 벤조사이클로부텐(BCB; Benzocyclobutene)과 같은 중합체이다. 절연층(112)은 스프인 코팅(spin coating)과 같은 방법에 의하여 입혀지며, 일반적인 사진 공정(photo process)을 거쳐 패드 구멍(114)들이 형성된다.

패드 구멍(114)에는, 도 8에 도시된 바와 같이, 외부접속 패드(116)를 형성한다. 이 패드(116)는 후후 외부접속 단자(도 19의 136)를 형성하기 위한 것이므로 편의상 '외부접속 패드'라 부르기로 한다. 외부

접속 패드(116)는 앞서 설명한 금속 기저층과 마찬가지로 금(Au), 니켈(Ni), 구리(Cu) 등의 금속을 도금하여 형성하며, 무전해 도금 뿐만 아니라 기판 기초층(102)을 도금 전극으로 사용할 수 있기 때문에 전해 도금 방법도 사용가능하다.

다음 단계는 재배선을 위한 금속층 형성 단계이다. 금속 재배선층(122)은 도 11에 도시된 것과 같은 구조를 가지는데, 이와 같이 형성하기 위해서는 먼저 도 9에 도시된 것처럼 감광막(118, photoresist)을 입혀 패턴을 형성하고, 도 10에 도시된 것처럼 금속층(120)을 전면 증착한다. 계속해서 감광막(118)을 제거하게 되면 감광막(118) 위에 도포된 금속층도 같이 제거되므로, 도 11에 도시된 것과 같은 재배선층(122)이 얻어진다. 재배선층(122)으로 사용될 수 있는 금속은 구리(Cu), 알루미늄(Al), 마연(Zn), 철(Fe), 백금(Pt), 코발트(Co), 납(Pb), 니켈(Ni) 또는 그 합금들이다.

재배선층(122) 위에는 다시 절연층(124)이 입혀진다. 이 상부 절연층(124) 역시 하부 절연층(112)과 마찬가지로 폴리이미드, 벤조사이클로부텐과 같은 중합체가 사용된다. 상부 절연층(124)은 부분적으로 제거되며, 이 부분(126)을 통하여 재배선층(122)이 외부로 노출된다(도 12 참조). 재배선층(122)이 외부로 노출된 부분을 편의상 '접합 패드(126)'라 하기로 한다.

접합 패드(126)에는 접합 범프(128)가 형성된다(도 13 참조). 접합 범프(128)는 예를 들어 솔더(solder)와 같은 금속을 도금하여 형성한다. 접합 패드(126)는 금속 재배선층(122)과 외부접속 패드(116)를 통하여 기판 기초층(110)과 전기적으로 연결되어 있기 때문에, 기판 기초층(110)을 도금 전극으로 사용할 수 있다. 최종적으로 리플로우(reflow) 공정을 진행하면, 도 14에 도시된 것과 같이 볼 형태의 범프(128)가 형성된다. 이상과 같은 방법으로 재배선 기판(130)의 제조가 이루어진다.

이와 같이 재배선 기판을 별도로 준비하여 패키지 제조에 사용하는 것이 본 발명에 따른 웨이퍼 레벨 패키지 제조방법의 가장 큰 특징이다. 재배선 기판을 별도로 제조하기 때문에 종래의 제조방법이 안고 있던 여러가지 문제점들을 해소할 수 있다. 즉, 금속 재배선층과 절연층들은 웨이퍼 위에 직접 형성되는 것이 아니기 때문에, 웨이퍼 회로소자들이 고온 공정의 영향을 받지 않을 뿐만 아니라, 절연층의 두께에 대한 제약을 덜 받고 캐패시턴스를 낮출 수 있다.

재배선 기판(130)의 준비가 완료되면, 앞서 준비한 웨이퍼(도 15의 100)를 재배선 기판(130)에 접합한다(도 16 참조). 웨이퍼(100)와 재배선 기판(130)의 접합은 재배선 기판(130)에 형성된 접합 범프(128)와 웨이퍼(100)의 칩 패드(104)를 통하여 이루어진다. 물론 칩 패드(104)에는 금속 기저층(도 15의 108)이 형성되어 있으므로 엄밀히 말하면 금속 기저층(108)과 접합 범프(128)가 접합하는 것이다. 이 접합 공정은 200°C 내지 250°C의 최대 온도영역에서 약 1-2분 동안 진행된다. 이 접합 온도와 시간은 종래의 제조방법에 포함되는 절연층 경화 온도와 시간에 비하면 무시해도 될 정도이다. 종래의 패키지 제조방법에 있어서 절연층의 경화 온도는 300°C 내외이며 경화 시간은 수십분에서 한시간 정도이다.

접합이 끝나면 재배선 기판(130)과 웨이퍼(100) 사이의 접합 틈새(도 16의 132)에 완충층(134, buffer layer)을 형성한다(도 17 참조). 이 완충층(134)은 모세관 현상(capillary action)에 의하여 액상 중합체가 접합 틈새(132)를 채우는 소위 언더필(underfill) 방법을 통하여 형성되며, 예를 들어 점도가 약 250 poise인 에폭시(epoxy) 수지를 사용할 경우 접합 틈새(132)를 채운 후 약 150°C의 온도에서 약 60분간 경화시킨다. 이와 같은 방법 외에도 웨이퍼(100)와 재배선 기판(130)이 접합되기 전에 접합 틈새(132)에 실리콘 수지(silicone resin)와 같은 탄성 중합체를 끼워넣는 방법을 통해서도 완충층(134)을 형성할 수 있다.

완충층을 형성하는 것은 재배선 기판의 사용과 더불어 본 발명에 따른 웨이퍼 레벨 패키지 제조방법의 특징이다. 완충층은 절연층의 기능, 열적 스트레스를 흡수, 완화하는 기능을 한다. 따라서, 종래의 제조방법이 안고 있던 여러가지 문제들 중에서 예를 들어 얇은 절연층으로 인한 높은 캐패시턴스의 문제와 솔더 접합 내구수명의 저하 문제 등을 해소할 수 있다.

완충층(134) 형성 후의 제조 단계는 기판 기초층(110)의 제거 단계이다. 예를 들어 기판 기초층(110)이 두께 500 $\mu$ m의 구리로 형성된 경우, 식각액 황산과 과수용액을 약 2시간 동안 사용하여 습식식각함으로써 제거할 수 있다. 기판 기초층(110)이 완전히 제거되면, 도 18에 도시된 바와 같이 외부접속 패드(116)가 외부로 드러난다. 이 외부접속 패드(116)에 외부접속 단자(136)를 형성한 후(도 19 참조), 도 20에 도시된 바와 같이 분할영역(138, 도 1-3의 14에 해당)을 따라 웨이퍼를 절단하면 다수개의 개별 패키지(140)들이 분리된다. 솔더 범프는 외부접속 단자(136)로 사용될 수 있는 좋은 예이다. 솔더 범프와 그 형성방법 및 웨이퍼 절단방법은 이미 잘 알려져 있는 기술이기 때문에 자세히 설명하지 않는다.

이상 설명한 실시예와 달리, 본 발명의 제2 실시예는 재배선 기판에 웨이퍼로부터 분리된 개별 칩들을 접합한다. 이렇게 함으로써 종래 제조방법의 문제점들 중 몇가지를 더 해결할 수 있다. 예를 들어, 웨이퍼 상태에서 불량으로 판정된 칩에 대해서 패키지 제조공정을 진행하지 않아도 된다. 특히, 개발 초기의 회로소자와 같이 불량률이 높은 소자의 경우, 이와 같은 제조방법을 채택하면 제조단가의 불필요한 상승을 막을 수 있는 이점이 있다.

이하, 본 발명의 두번째 실시예에 대하여 도 21 내지 도 27를 참조하여 설명하고자 한다.

도 21은 칩 패드(104)에 금속 기저층(108)이 형성된 웨이퍼를 낱개의 칩(150)으로 분리한 상태를 도시하고 있다. 제조공정 전에 개별 칩(150)으로 분리되었다는 점을 제외하고 앞서 설명한 제1 실시예와 동일하다. 도 22는 재배선 기판(130)을 도시하고 있다. 역시 제1 실시예에서 설명한 재배선 기판과 그 구조 및 제조방법이 동일하다.

재배선 기판(130)의 준비가 완료되면, 웨이퍼로부터 분리된 개별 칩(150)들을 재배선 기판(130)에 접합한다(도 23 참조). 재배선 기판(130)과 개별 칩(150)들간의 접합은 재배선 기판(130)에 형성된 접합 범프(128)와 각각의 칩(150)의 칩 패드(104)를 통하여 이루어진다. 칩 패드(104)에는 금속 기저층(108)이 형성되어 있어서 칩 패드(104)와 접합 범프(128)간 접합을 매개한다. 접합 방법은 제1 실시예와 동일하다.

접합이 끝나면 재배선 기판(130)과 각각의 개별 칩(150) 사이의 접합 틈새(도 23의 152)에 완충층(156)을 형성한다(도 24 참조). 이 완충층(156)은 서로 이웃하는 칩(150) 사이의 틈(154)을 통하여 소정의 정도를 갖는 액상 중합체를 인가하고 접합 틈새(152)를 채우게 한 후 경화하는 방법을 통하여 형성할 수 있다. 또는 개별 칩(150)들을 재배선 기판(130)에 접합하기 전에 접합 틈새(152)에 살리컨 수지와 같은 액상 중합체를 끼워넣음으로써 완충층(156)을 형성할 수도 있다.

완충층(156)을 형성하고 나면, 칩(150) 사이의 틈(도 24의 154)을 따라 절연층(124, 112)을 제거한다(도 25 참조). 절연층은 통상적인 웨이퍼 절단 방법과 유사하게 절단날을 사용하여 기계적으로 절단함으로써 제거할 수 있다. 이 때 절단되는 부분(158)은 재배선 기판(130) 하부의 기판 기초층(도 22의 110)까지 미친다. 따라서, 기판 기초층을 제거하면 재배선 기판(130)이 각각의 칩(150)에 대응하여 완전히 분리된다(도 26 참조). 또한, 외부접속 패드(116)도 외부로 노출된다. 외부접속 패드(116)에 솔더 범프와 같이 외부접속 단자(136)를 형성하면 패키지(160)의 제조가 완성된다(도 27 참조).

본 발명의 제3 실시예는 제1 실시예와 유사하지만, 외부접속 단자를 형성하는 방법이 다르다. 본 발명의 제3 실시예에 따른 칩 스케일 패키지의 제조방법은 웨이퍼(100)와 재배선 기판(130)을 접합하고 완충층(134)을 형성하는 단계까지 제1 실시예와 동일하다(도 28 참조). 그리고 나서 제1 실시예에서는 기판 기초층을 전부 제거하여 외부접속 패드를 노출시켰지만, 제3 실시예에 따르면 기판 기초층의 일부분만을 제거한다. 제거되지 않고 남게 되는 기판 기초층은 외부접속 패드 위의 부분이다. 이 남아 있는 기판 기초층이 외부접속 단자의 기능을 수행한다. 따라서, 기판 기초층은 전기전도성이 있는 금속과 같은 물질을 이루어져야 한다.

이와 같이 기판 기초층을 외부접속 단자로 형성하는 과정이 도 29 내지 도 31에 도시되어 있다. 먼저, 도 29에 도시된 바와 같이, 기판 기초층(110) 위에 감광막(170)을 입히고 소정의 패턴을 만든다. 감광막(170)의 패턴은 외부접속 패드(116) 부분을 제외한 나머지 기판 기초층(110)을 제거하기 위한 패턴이다. 감광막(170)을 마스크로 하여 식각공정을 진행하면 감광막(170)으로 가려진 부분에만 기판 기초층(172)이 남게 된다(도 30 참조). 이어서 감광막을 제거하면 외부접속 단자로 사용될 기판 기초층(172)이 형성된다(도 31 참조).

마찬가지의 방법으로 제2 실시예에 따른 제조방법에서 외부접속 단자의 형성단계만 제3 실시예의 방법을 적용하는 것도 가능하다.

#### 발명의 효과

이상 설명한 바와 같이, 본 발명에 따른 칩 스케일 패키지의 제조 방법은 기존의 제조방법이 안고 있는 여러가지 문제점들을 해결하는 동시에, 웨이퍼 레벨 칩 스케일 패키지가 가지고 있는 장점을 그대로 살릴 수 있다.

몇가지 예를 들어 보면, 우선 재배선 기판을 별도로 제조하기 때문에 웨이퍼 위에서 직접 진행하는 공정이 대폭 줄어든다. 따라서, 웨이퍼에 형성된 회로소자들에 미치는 영향이 그만큼 감소하여 신뢰성이 향상된다.

또한, 재배선 기판과 웨이퍼(또는 칩) 사이에 완충층을 개재하기 때문에 그만큼 절연층이 확보되고 열적 스트레스를 흡수·완화할 수 있다. 따라서, 커패시턴스가 감소하며 솔더 접합의 내구수명이 늘어난다.

마올러, 본 발명의 제조방법에 따르면 재배선 기판에 웨이퍼뿐만 아니라 웨이퍼로부터 분리된 개별 칩들을 접합할 수 있다. 따라서, 웨이퍼 상태에서 불량으로 판정된 칩은 패키지 제조공정에서 제외시킬 수 있으며, 불필요한 제조단가의 상승을 방지할 수 있다.

본 명세서와 도면에는 본 발명의 바람직한 실시예에 대하여 개시하였으며, 비록 특정 용어들이 사용되었으나, 이는 단지 본 발명의 기술 내용을 쉽게 설명하고 독자의 이해를 돕기 위한 일반적인 의미에서 사용된 것이지, 본 발명의 범위를 한정하고자 하는 것은 아니다. 여기에 개시된 실시예 외에도 본 발명의 기술적 사상에 바탕을 둔 다른 변형예들이 실시가능하다는 것은 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게는 자명한 것이다. 본 발명의 범위는 다음의 특허청구범위에 나타난다.

#### (57) 청구의 범위

청구항 1. (a) 웨이퍼 기판에 형성된 칩 패드들과, 상기 칩 패드들을 제외한 상기 웨이퍼 기판의 상부면을 덮고 있는 비활성막을 포함하며, 분할영역에 의하여 서로 구분되는 다수의 집적회로 칩들이 형성된 웨이퍼를 제공하는 단계;

(b) 기판 기초층 위에 제1 절연층과 다수의 외부접속 패드를 형성하고, 상기 각각의 외부접속 패드와 전기적으로 연결되도록 상기 제1 절연층과 상기 외부접속 패드 위에 금속 재배선층을 형성하며, 상기 금속 재배선층과 상기 제1 절연층 위에 제2 절연층과 다수의 접합 패드를 형성한 후, 상기 각각의 접합 패드에 접합 범프를 형성하는 것을 포함하는 재배선 기판의 제조 단계;

(c) 상기 각각의 접합 범프에 상기 칩 패드를 접합함으로써 상기 웨이퍼와 상기 재배선 기판을 접합하는 단계;

(d) 상기 재배선 기판에 상기 각각의 외부접속 패드와 전기적으로 연결되도록 외부접속 단자를 형성하는 단계;

(e) 상기 웨이퍼의 분할영역을 따라 상기 웨이퍼를 절단하여 개별 패키지로 분리하는 단계를 포함하는 칩 스케일 패키지의 제조방법.

청구항 2. 제 1 항에 있어서, 상기 (d) 단계는 상기 재배선 기판의 기판 기초층을 전부 제거하여 상기 외부접속 패드를 외부로 노출시키고, 상기 외부접속 패드의 각각에 외부접속 단자를 형성하는 것임을

특징으로 하는 칩 스케일 패키지의 제조방법.

청구항 3. 제 1 항에 있어서, 상기 (d) 단계는 상기 재배선 기판의 외부접속 패드에 기판 기초층이 남도록 상기 기판 기초층을 일부 제거하는 것임을 특징으로 하는 칩 스케일 패키지의 제조방법.

청구항 4. 제 2 항 또는 제 3 항에 있어서, 상기 (c) 단계는 상기 웨이퍼와 상기 재배선 기판 사이의 접합 틈새에 완충층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 칩 스케일 패키지의 제조방법.

청구항 5. 제 2 항 또는 제 3 항에 있어서, 상기 (a) 단계는 상기 각각의 칩 패드에 금속 기저층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 칩 스케일 패키지의 제조방법.

청구항 6. 제 2 항 또는 제 3 항에 있어서, 상기 (b) 단계의 제1 절연층과 제2 절연층은 벤조사이클로부텐 또는 폴리이미드로 이루어지는 것을 특징으로 하는 칩 스케일 패키지의 제조방법.

청구항 7. 제 2 항 또는 제 3 항에 있어서, 상기 (b) 단계의 접합 범프는 상기 접합 패드에 솔더 범프를 도금한 후 리플로우하여 형성되는 것을 특징으로 하는 칩 스케일 패키지의 제조방법.

청구항 8. 제 2 항 또는 제 3 항에 있어서, 상기 (c) 단계의 접합은 180-230℃에서 약 1분간 이루어지는 것을 특징으로 하는 칩 스케일 패키지의 제조방법.

청구항 9. 제 2 항 또는 제 3 항에 있어서, 상기 기판 기초층은 금속으로 이루어지며 상기 (d) 단계에서 습식식각에 의하여 제거되는 것을 특징으로 하는 칩 스케일 패키지의 제조방법.

청구항 10. 제 4 항에 있어서, 상기 완충층은 상기 웨이퍼와 상기 재배선 기판이 접합된 후에 상기 접합 틈새에 점도가 있는 액상 중합체를 채우고 경화함으로써 형성되는 것임을 특징으로 하는 칩 스케일 패키지의 제조방법.

청구항 11. 제 4 항에 있어서, 상기 완충층은 상기 웨이퍼와 상기 재배선 기판이 접합되기 전에 상기 접합 틈새에 탄성 중합체를 끼워넣음으로써 형성되는 것임을 특징으로 하는 칩 스케일 패키지의 제조방법.

청구항 12. (a) 웨이퍼 기판에 형성된 칩 패드들과, 상기 칩 패드들을 제외한 상기 웨이퍼 기판의 상부면을 덮고 있는 비활성막으로 이루어진 다수의 집적회로 칩들을 포함하는 웨이퍼를, 상기 집적회로 칩들을 구분하는 분할영역을 따라 절단하여 각각의 개별 칩으로 분리하는 단계;

(b) 기판 기초층 위에 제1 절연층과 다수의 외부접속 패드를 형성하고, 상기 각각의 외부접속 패드와 전기적으로 연결되도록 상기 제1 절연층과 상기 외부접속 패드 위에 금속 재배선층을 형성하며, 상기 금속 재배선층과 상기 제1 절연층 위에 제2 절연층과 다수의 접합 패드를 형성한 후, 상기 각각의 접합 패드에 접합 범프를 형성하는 것을 포함하는 재배선 기판의 제조 단계;

(c) 상기 각각의 접합 범프에 상기 칩 패드를 접합함으로써 상기 재배선 기판과 상기 개별 칩들을 접합하는 단계;

(d) 상기 각각의 개별 칩에 대응하여 상기 재배선 기판을 절단하는 단계;

(e) 상기 재배선 기판에 상기 각각의 외부접속 패드와 전기적으로 연결되도록 외부접속 단자를 형성하는 단계를 포함하는 칩 스케일 패키지의 제조방법.

청구항 13. 제 12 항에 있어서, 상기 (e) 단계는 상기 재배선 기판의 기판 기초층을 전부 제거하여 상기 외부접속 패드를 외부로 노출시키고, 상기 외부접속 패드의 각각에 외부접속 단자를 형성하는 것임을 특징으로 하는 칩 스케일 패키지의 제조방법.

청구항 14. 제 12 항에 있어서, 상기 (e) 단계는 상기 재배선 기판의 외부접속 패드에 기판 기초층이 남도록 상기 기판 기초층을 일부 제거하는 것임을 특징으로 하는 칩 스케일 패키지의 제조방법.

청구항 15. 제 13 항 또는 제 14 항에 있어서, 상기 (c) 단계는 상기 각각의 개별 칩과 상기 재배선 기판 사이의 접합 틈새에 완충층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 칩 스케일 패키지의 제조방법.

청구항 16. 제 13 항 또는 제 14 항에 있어서, 상기 (a) 단계는 상기 각각의 칩 패드에 금속 기저층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 칩 스케일 패키지의 제조방법.

청구항 17. 제 13 항 또는 제 14 항에 있어서, 상기 (b) 단계의 제1 절연층과 제2 절연층은 벤조사이클로부텐 또는 폴리이미드로 이루어지는 것을 특징으로 하는 칩 스케일 패키지의 제조방법.

청구항 18. 제 13 항 또는 제 14 항에 있어서, 상기 (b) 단계의 접합 범프는 상기 접합 패드에 솔더 범프를 도금한 후 리플로우하여 형성되는 것을 특징으로 하는 칩 스케일 패키지의 제조방법.

청구항 19. 제 13 항 또는 제 14 항에 있어서, 상기 (c) 단계의 접합은 180-230℃에서 약 1분간 이루어지는 것을 특징으로 하는 칩 스케일 패키지의 제조방법.

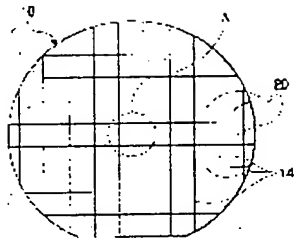
청구항 20. 제 13 항 또는 제 14 항에 있어서, 상기 기판 기초층은 금속으로 이루어지며 상기 (e) 단계에서 습식식각에 의하여 제거되는 것을 특징으로 하는 칩 스케일 패키지의 제조방법.

청구항 21. 제 15 항에 있어서, 상기 완충층은 상기 개별 칩들과 상기 재배선 기판이 접합된 후에 상기 접합 틈새에 점도가 있는 액상 중합체를 채우고 경화함으로써 형성되는 것임을 특징으로 하는 칩 스케일 패키지의 제조방법.

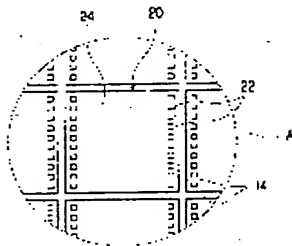
청구항 22. 제 15 항에 있어서, 상기 완충층은 상기 개별 칩들과 상기 재배선 기판이 접합되기 전에 상기 접합 틈새에 탄성 중합체를 끼워넣음으로써 형성되는 것임을 특징으로 하는 칩 스케일 패키지의 제조방법.

도면

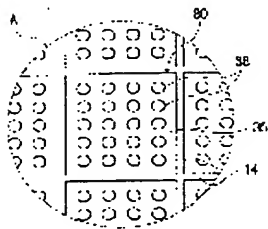
도면1



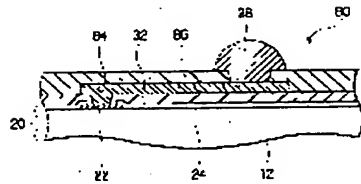
도면2



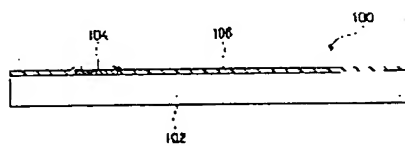
도면3



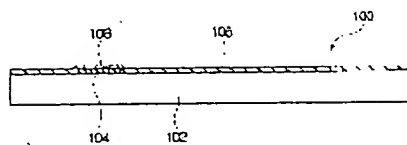
도면4



도면5



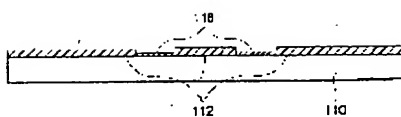
도면6



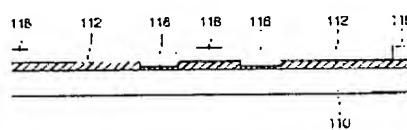
도면7



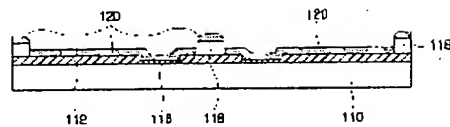
도면8



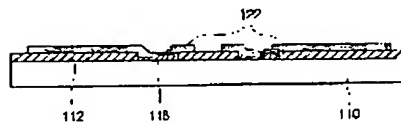
도면9



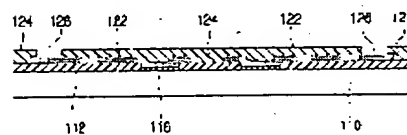
도면10



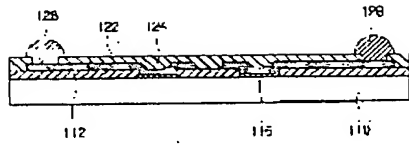
도면11



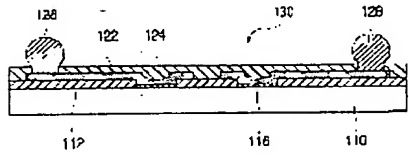
도면12



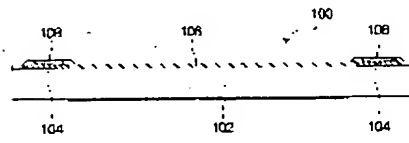
도면13



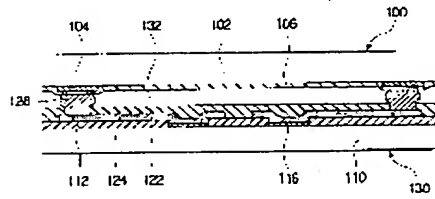
도면14



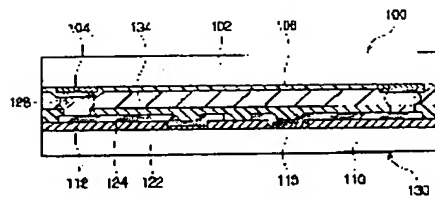
도면15



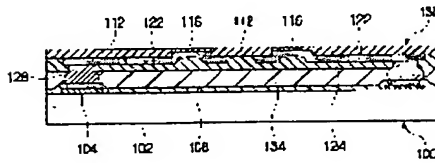
도면16



도면17

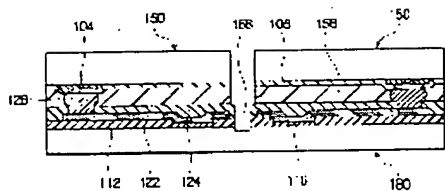


도면18





도 25



5228

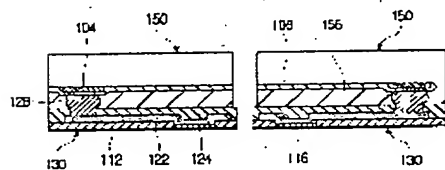
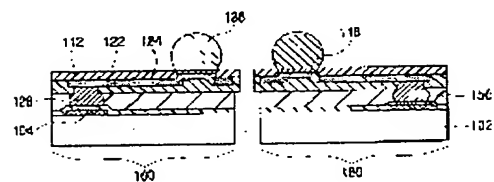


도표 27



도 28

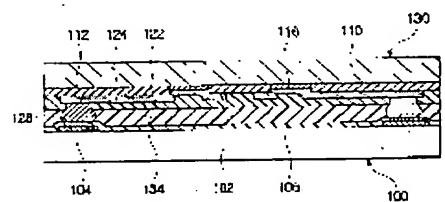
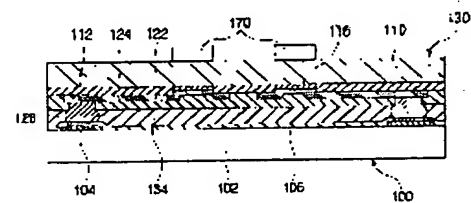
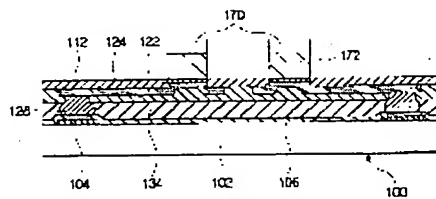


도표 28



도면 30



도면 31

